

Docket No.: 8733.939.00-US  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
So Haeng CHO et al.

Confirmation No.: TBA

Application No.: TBA

Group Art Unit: TBA

Filed: October 22, 2003

Examiner: TBA

For: LIQUID CRYSTAL DISPLAY AND  
FABRICATION METHOD THEREOF

Customer No.: 30827

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Korea	10-2002-66790	October 31, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: October 22, 2003

Respectfully submitted,

By   
Rebecca Goldman Rudich  
Registration No.: 41,786  
MCKENNA LONG & ALDRIDGE LLP  
1900 K Street, N.W.  
Washington, DC 20006  
(202) 496-7500  
Attorneys for Applicant

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0066790  
Application Number

출원년월일 : 2002년 10월 31일  
Date of Application OCT 31, 2002

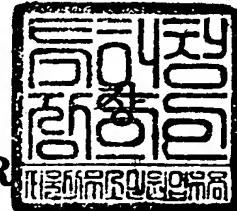
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 03 월 18 일

특허청

COMMISSIONER





1020020066790

출력 일자: 2003/3/24

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002. 10. 31
【국제특허분류】	G02F
【발명의 명칭】	액정표시장치 및 그 제조방법
【발명의 영문명칭】	liquid crystal display device and fabrication method thereof
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	허용록
【대리인코드】	9-1998-000616-9
【포괄위임등록번호】	2000-024823-8
【발명자】	
【성명의 국문표기】	조소행
【성명의 영문표기】	CHO, So Haeng
【주민등록번호】	720728-1010015
【우편번호】	143-200
【주소】	서울특별시 광진구 구의동 220-18
【국적】	KR
【발명자】	
【성명의 국문표기】	정현상
【성명의 영문표기】	CHUNG, Hyun Sang
【주민등록번호】	720618-1925518
【우편번호】	435-040
【주소】	경기도 군포시 산본동 1073-4 401호
【국적】	KR
【심사청구】	청구

1020020066790

출력 일자: 2003/3/24

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
허용록 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	12	면	12,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】			342,000 원



1020020066790

출력 일자: 2003/3/24

### 【요약서】

#### 【요약】

본 발명에 의한 액정표시장치는, 게이트 라인과 데이터 라인의 교차부에 박막트랜지스터와 화소전극이 형성된 액정표시장치에 있어서, 상기 다수의 게이트 라인 또는 데이터 라인에 각각 접속되는 패드와, 상기 패드에 연결되어 공정 진행시의 정전기 발생을 방지하는 쇼팅바와, 상기 쇼팅바와 연결되는 상기 패드의 내부 상단 부분에 일정 간격으로 홀이 형성된 것을 특징으로 한다.

이와 같은 본 발명에 의하면, 쇼팅바가 스크라이빙 공정에서 한번에 제거되므로 액정표시장치의 제조공정이 단순화되고, 패드부의 절단되는 부분에 대해 일정한 간격의 홀이 형성됨으로써 상기 스크라이빙 공정시 금속 파티클이 감소하며, 이에 따라 패드 손상이 최소화 되는 장점이 있다.

#### 【대표도】

도 4a

**【명세서】****【발명의 명칭】**

액정표시장치 및 그 제조방법{liquid crystal display device and fabrication method of thereof}

**【도면의 간단한 설명】**

도 1은 다수의 박막트랜지스터 어레이가 형성된 액정패널의 기판을 나타내는 평면도.

도 2a, b는 종래의 액정표시장치의 외곽부를 나타내는 평면도.

도 3a 내지 도 3c는 도 2b의 특정부분(B)에 도시된 쇼팅바가 제거되는 상태을 나타내는 평면도.

도 4a, b는 본 발명에 의한 액정표시장치의 기판 상에 형성된 드라이브 회로/ 패드부 및 쇼팅바를 나타내는 평면도.

도 5a, b는 본 발명에 의한 액정표시장치의 기판 상에 형성된 패드부 및 쇼팅바를 나타내는 평면도.

도 6a, b는 상기 도 4a에 도시된 패드부의 특정부분(A-A', B-B')에 대한 단면도.

도 7a 내지 도 7c는 도 4a에 도시된 쇼팅바가 제거되는 상태을 나타내는 평면도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 하판      2 : 상판

3 : 금속박막패턴      4 : 링크패턴

5 : 투명 도전패턴      6 : 패드부

7 : 실패턴      8 : 보호막층

9 : 드라이브 회로      10 : 콘택홀

11 : 패드      12 : 쇼팅바

14 : 절단선      15 : 데이터 라인

16 : 스크라이빙 휠      17 : 게이트 라인

18 : 연마기      20, 20' : 홀(hole)

22 : 스크라이브 라인 마진

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19>      본 발명은 액정표시장치에 관한 것으로, 특히 공정을 단순화하기 위한 액정표시소장의 구조 및 그 제조방법에 관한 것이다.

<20>      일반적으로 액정표시장치(Liquid Crystal Display : LCD)에서는 액정패널 상에 매트릭스 형태로 배열된 액정셀들의 광투과율을 그에 공급되는 비디오 데이터 신호 조절함으로써 데이터 신호에 해당하는 화상을 상기 액정패널 상에 표시하게 된다. 이를 위하여 상기 액정표시장치는 액정층에 전계를 인가하기 위한 전극과, 액정셀 별로 데이터 공급을 절환하기 위한 박막트랜지스터(Thin Film Transistor : TFT)와, 외부에서 공급되는 데이터를 상기 액정셀들에 공급하는 데이터 라인 및 상기 박막트랜지스터의 제어신호를 공급하기 위한 게이트 라인 등을 구비하게 된다.

<21> 상기 액정표시장치는 화소 단위를 이루는 액정셀의 형성 공정을 동반하는 패널 상판 및 하판의 제조공정과, 액정 배향을 위한 배향막의 형성 및 러빙(Rubbing)공정과, 상판 및 하판의 합착 공정과, 합착된 상판 및 하판 사이에 액정을 주입하고 봉지하는 공정 등의 여러 과정을 거쳐 완성되게 된다. 여기에서 상판에는 칼라필터, 공통전극, 블랙매트릭스 등이 형성되고, 하판에는 데이터 라인과 게이트 라인 등의 신호배선이 형성되고, 데이터 라인과 게이트 라인의 교차부에 박막트랜지스터가 형성된다.

<22> 도 1은 다수의 박막트랜지스터 어레이가 형성된 액정패널의 기판을 나타내는 평면도이다.

<23> 도 1을 참조하면, 종래의 액정표시장치의 제조방법은 먼저 하판(1) 상에 다수의 박막트랜지스터 어레이(13)가 형성된다. 상기 박막트랜지스터 어레이(13)에는 게이트 라인(17) 및 데이터 라인(15)이 직교되는 방향으로 형성되며, 상기 게이트 라인(17)과 데이터 라인(15)의 교차부에는 박막트랜지스터(미도시)와 화소전극(미도시)이 형성된다. 상기 박막트랜지스터 어레이(13)이 각각은 독립된 표시소자를 구성하게 된다.

<24> 또한, 하판(1) 상에는 박막트랜지스터 어레이(13)의 데이터 라인(15) 및 게이트 라인(17)들이 각각 접속된 패드로 이루어진 다수의 패드부(미도시)를 구비하며, 상기 패드부에는 쇼팅바(12)가 연결되어 있다.

<25> 단, 상기 액정표시장치의 액티브층이 폴리 실리콘으로 이루어진 경우에는 드라이브회로를 기판 내에 패터닝 할 수 있으므로 상기 하판(1) 상에는 박막트랜지스터 어레이(13)의 데이터 라인(15)들에 접속된 데이터 드라이브 회로(미도시)와 박막트랜지스터 어레이(13)의 게이트 라인(17)들에 접속된 게이트 드라이브 회로(미도시)가 실장되고, 각각의 액정패널에 해당하는 링크 패턴을 경유하여 상기 게이트 드라이브 회로 및 데이터

터 드라이브 회로에 접속된 패드부(미도시)를 구비하며, 상기 패드부에는 쇼팅바(12)(Shorting bar)가 연결되어 있다. 상기 쇼팅바(12)는 공정 진행시의 정전기 발생을 방지하는 역할을 한다.

<26> 다음으로는 하판(1)에 스페이서(spacer)가 도포되며, 상판(미도시) 상에 표시영역에 실패턴(seal pattern)을 형성시킨다. 이러한 스페이서와 실패턴에 의해 상판과 하판 사이의 갭이 형성되고, 이러한 하판과 상판이 대면되도록 합착된 후, 각각의 액정패널 한 개씩 스크라이빙(scribing) 및/또는 브레이킹(breaking) 공정을 거친다.

<27> 상기 공정을 거친 뒤 상기 각각의 액정패널에 액정충이 주입된다. 액정 주입 방식은 모세관 현상이나, 액정패널의 내부와 외부의 압력차를 이용하여, 액정 주입 후 그라인딩(grinding) 공정을 한다. 상기 그라인딩 공정은 상기 쇼팅바를 제거하고 상판과 하판의 모서리를 연마시켜 우려되는 파손에 대한 내력을 향상시킨다.

<28> 도 2a, b는 종래의 액정표시장치의 외곽부를 나타내는 평면도이다. 단, 도 2a는 아몰퍼스(amorphous) 실리콘 TFT 액정표시장치이고, 도 2b는 폴리(poly) 실리콘 TFT 액정표시장치이다.

<29> 도 2a를 참조하면, 종래의 액정표시장치는 액정을 사이에 두고 합착된 상판(2) 및 하판(1)과, 상기 하판(2)의 끝단부에 형성된 다수의 패드부(6)와, 상기 패드부 내의 각각의 패드(11)에서 인출되는 데이터 라인(15) 및 게이트 라인(17)이 매트릭스 형태를 이루며, 상기 데이터 라인(15)과 게이트 라인(17)의 교차부에 각각 박막트랜지스터와 화소전극이 구비되는 화소영역(A)이 형성된다. 상기 패드부(6) 내의 각각의 패드(11)들은 금속박막패턴과 화소전극과 함께 패터닝된 투명 도전패턴을 포함하며, 상기 금속박막패턴과 투명 도전패턴은 콘택홀에 의해 접속된다.

<30> 또한, 상기 다수의 패드부(6) 상단에는 공통으로 접속되는 쇼팅바(12)가 구비되는데, 상기 쇼팅바(12)는 비표시영역에 해당하는 하판(1)의 가장자리 끝단부에 금속으로 형성되어 스크라이빙 공정과 그라인딩 공정 시 커팅 라인을 따라 하판의 가장자리가 연삭됨으로써 하판 상에서 제거된다.

<31> 상기와 같이 쇼팅바(12)가 제거되면 상기 패드부에는 테이프 오토메이티드 본딩 (Tape Automated Bonding : 이하 'TAB') 방식의 드라이브 회로 실장방법에 의해 테이프 캐리어 패키지(Tape Carrier Package : 이하 'TCP')가 부착된다. 즉, 상기 TCP의 출력패드가 상기 하부기판 상의 패드부(6)에 접속되는 것이며, TCP의 입력패드는 인쇄회로기판(PCB)에 접속된다.

<32> 또한, 도 2b를 참조하면, 종래의 액정표시장치는 액정을 사이에 두고 합착된 상판(2) 및 하판(1)과, 상기 하판(1) 상에 패터닝되어 게이트 라인 또는 데이터 라인을 구동하기 위한 게이트 또는 데이터 드라이브 회로(9)와, 링크 패턴(4)을 경유하여 상기 게이트 또는 데이터 드라이브 회로(9)에 접속된 다수의 패드부(6)를 구비한다. 상기 상판(2)과 하판(1)은 가장자리에 실패턴(7)이 도포되어 합착되며, 상판(2)과 하판(1)의 합착영역 내에는 액정이 주입된다. 상기 게이트 또는 데이터 드라이브 회로(9)는 실패턴(7) 양쪽의 상판(2)과 하판(1)의 합착영역 내에 위치하며, 이는 게이트 라인(15) 또는 데이터 라인(17)들에 접속되며, 상기 데이터 라인(15)과 게이트 라인(17)의 교차부에 각각 박막 트랜지스터와 화소전극이 구비되는 화소영역(A)이 형성된다. 상기 패드부(6)는 금속박막 패턴(3)과 화소전극과 함께 패터닝된 투명 도전패턴(5)을 포함한다. 상기 금속박막패턴(3)과 투명 도전패턴(5)은 콘택홀(10)에 의해 접속된다.

<33> 또한, 상기 다수의 패드부(6)들에 공통으로 접속되는 쇼팅바(12)를 구비하는데, 상기 쇼팅바(12)는 제조공정 중에 기저전압원(GND)에 접속되어 액정패널에 인가되는 정전기를 제거하는 역할을 하며, 상기 다수의 패드부(6)들에 대한 IPT(In Processing Test) 검사를 위해 형성되는 것이다.

<34> 상기 쇼팅바(12)는 비표시영역에 해당하는 하판(1)의 가장자리 끝단부에 금속으로 형성되어 스크라이빙 공정과 그라인딩 공정 시 커팅 라인을 따라 하판의 가장자리가 연삭됨으로써 하판 상에서 제거된다.

<35> 여기서, 도 2a와 2b는 상기 박막트랜지스터의 액티브층이 아몰퍼스 실리콘과 폴리실리콘으로 각각 이루어진 것에 의해 구별되며, 이에 따라 상기 드라이브 회로가 기판내에 패터닝되어 실장될 수 있는지 나뉘어진다.

<36> 결국, 하판 상에 형성된 패드부 및 상기 패드부와 연결된 쇼팅바의 구성은 도 2a 및 도 2b가 동일하며, 다만 도 2a의 경우 상기 패드부(6) 내의 각각의 패드(11)에서 데이터 라인(15) 또는 게이트 라인(17)이 직접 인출되는 것이고, 도 2b의 경우는 패드부(6) 내의 패터닝에 의해 링크 패턴(4)을 통해 드라이브 회로(9)를 거쳐 데이터 라인(15) 및 게이트 라인(17)이 인출되는 점에서 차이가 있을 뿐이다.

<37> 도 3a 내지 도 3c는 도 2b의 특정부분(B)에 도시된 쇼팅바가 제거되는 상태을 나타내는 평면도이다.

<38> 단, 도 3은 도 2b를 예로써 설명하나 도 2a에 도시된 쇼팅바가 제거되는 것도 동일한 방식에 의해 제거된다.

<39> 도 3을 참조하여 종래 기술에 의해 상기 쇼팅바(12)가 제거되는 것을 살펴보면, 먼저 도 3a에 도시된 바와 같이 상기 스크라이빙 공정에서 각각의 액정패널들 즉, 박막트 랜지스터 어레이들이 분리되는데, 이 때 스크라이빙 훨(scribing wheel)은 상기 쇼팅바(12) 상측에 형성된 절단선(14)을 따라 상/하판을 스크라이빙하게 된다.

<40> 즉, 상기 스크라이빙 공정에 의해 쇼팅바(12)의 일부가 제거되는 것이며, 상기 패드부(6)에 연결된 나머지 쇼팅바(12)는 그라인딩 공정을 통해 연마기(18)에 의해 연삭됨으로써 하판상에서 제거된다. 이는 도 3b에 도시되어 있다.

<41> 이와 같이 스크라이빙 공정과 그라인딩 공정을 거침으로써 각각의 액정패널에 형성되어 있던 쇼팅바(12)가 완전히 제거되며, 이와 같이 쇼팅바(12)가 제거된 상태의 패드부(6)의 형태는 도 3c에 도시되어 있다.

<42> 그러나, 이와 같은 방법으로 쇼팅바를 제거하는 경우 쇼팅바 및 패드부가 금속으로 이루어져 있으므로 이를 제거시 금속 파티클(particle)이 많이 발생하게 되어 이에 따라 상기 패드가 손상되는 단점이 있다.

<43> 또한, 상기 쇼팅바를 제거하기 위해 스크라이빙 공정과 그라인딩 공정을 거쳐야 하므로 공정이 복잡해지는 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<44> 본 발명은 패드부 상단의 소정의 부분에 일정 간격으로 홀을 형성하고 상기 홀이 형성된 위치 위로 스크라이빙 훨을 지나가게 하여 쇼팅바를 스크라이빙 공정만으로 제거함으로써, 쇼팅바 제거시 금속 파티클 발생을 줄이고 공정을 단순하게 하는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

### 【발명의 구성 및 작용】

<45> 상기 목적을 달성하기 위하여 본 발명에 의한 액정표시장치는, 게이트 라인과 데이터 라인의 교차부에 박막트랜지스터와 화소전극이 형성된 액정표시장치에 있어서, 상기 다수의 게이트 라인 또는 데이터 라인에 각각 접속되는 패드와, 상기 패드에 연결되어 공정 진행시의 정전기 발생을 방지하는 쇼팅바와, 상기 쇼팅바와 연결되는 상기 패드의 내부 상단 부분에 일정 간격으로 홀이 형성된 것을 특징으로 한다.

<46> 또한, 본 발명의 다른 실시예에 의한 액정표시장치는, 게이트 라인과 데이터 라인의 교차부에 박막트랜지스터와 화소전극이 형성된 액정표시장치에 있어서, 상기 데이터 라인에 접속된 데이터 드라이브 회로 및 게이트 라인에 접속된 게이트 드라이브 회로와, 상기 게이트 드라이브 회로 또는 데이터 드라이브 회로에 링크 패턴을 경유하여 각각 접속되는 패드부와, 상기 패드부에 연결되어 공정 진행시의 정전기 발생을 방지하는 쇼팅바와, 상기 쇼팅바와 연결되는 상기 패드부의 내부 상단 부분에 일정 간격으로 홀이 형성된 것을 특징으로 한다.

<47> 또한, 상기 홀이 형성된 위치 위로 스크라이빙 훈이 지나가게 하여 상기 쇼팅바가 제거되는 것을 특징으로 한다.

<48> 또한, 상기 목적을 달성하기 위하여 본 발명에 의한 액정표시장치의 제조방법은, 박막트랜지스터의 어레이의 데이터 라인들 및 게이트 라인들에 각각 접속되는 다수의 패드와, 상기 다수의 패드가 연결된 쇼팅바가 포함된 하판 및 칼라필터와 블랙매트릭스가 포함된 상판이 형성되는 단계와; 상기 하판에 스페이서가 도포되고, 상기 상판 상에 표시영역에 실패턴이 형성되는 단계와, 상기 하판과 상판이 대면되도록 합착된 후, 상기 각각 패드의 내부 상단 부분에 일정 간격으로 홀이 형성되는 단계와; 상기 패드의 홀이

형성된 부분이 스크라이빙되어 상기 쇼팅바가 제거되고, 각각의 액정패널이 분리되는 단계와; 상기 각각의 액정패널에 액정층이 주입되는 단계가 포함되는 것을 특징으로 한다.

<49> 또한, 본 발명의 또 다른 실시예에 의한 액정표시장치의 제조방법은, 박막트랜지스터 어레이의 데이터 라인들에 접속된 데이터 드라이브 회로 및 게이트 라인들에 접속된 게이트 드라이브 회로와, 각각의 링크 패턴을 경유하여 상기 게이트 드라이브 회로 및 데이터 드라이브 회로에 접속된 패드부와, 상기 패드부에 연결된 쇼팅바가 포함된 하판 및 칼라필터와 블랙매트릭스가 포함된 상판이 형성되는 단계와; 상기 하판에 스페이서가 도포되고, 상기 상판 상에 표시영역에 실패턴이 형성되는 단계와; 상기 하판과 상판이 대면되도록 합착된 후, 상기 패드부의 내부 상단 부분에 일정 간격으로 홀이 형성되는 단계와; 상기 패드부의 홀이 형성된 부분이 스크라이빙되어 상기 쇼팅바가 제거되고, 각각의 액정패널이 분리되는 단계와; 상기 각각의 액정패널에 액정층이 주입되는 단계가 포함되는 것을 특징으로 한다.

<50> 또한, 상기 스크라이빙에 의해 상기 쇼팅바가 제거되는 것은 상기 홀이 형성된 위치 위로 스크라이빙 훨이 지나감에 의해 이루어짐을 특징으로 한다.

<51> 이와 같은 본 발명에 의하면, 쇼팅바가 스크라이빙 공정에서 한번에 제거되므로 액정표시장치의 제조공정이 단순화되고, 패드부의 절단되는 부분에 대해 일정한 간격의 홀이 형성됨으로써 상기 스크라이빙 공정시 금속 파티클이 감소하며, 이에 따라 패드 손상이 최소화 되는 장점이 있다.

<52> 이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

<53> 도 4a, b는 본 발명에 의한 액정표시장치의 기판 상에 형성된 드라이브 회로/ 패드부 및 쇼팅바를 나타내는 평면도이다.

<54> 단, 도 4a, b는 폴리 실리콘 TFT 액정표시장치에서의 특정부분 즉, 종래 도 2b의 특정부분(B)에 해당하는 영역을 도시한 것이다.

<55> 도 4a 및 4b를 참조하면, 이는 도 2b에 도시된 종래의 액정표시장치의 기판 상에 형성된 드라이브 회로 및 패드부의 구성과 유사하다. 이에 따라 본 발명에 의한 액정표시장치는 액정을 사이에 두고 합착된 상판(2) 및 하판(1)과, 상기 하판(2) 상에 패터닝되어 게이트 라인 또는 데이터 라인을 구동하기 위한 게이트 또는 데이터 드라이브 회로(9)와, 링크 패턴(4)을 경유하여 상기 게이트 또는 데이터 드라이브 회로에 접속된 다수의 패드부(6)를 구비한다. 상기 상판(2)과 하판(1)은 가장자리에 실패턴(7)이 도포되어 합착되며, 상판(2)과 하판(1)의 합착영역 내에는 액정이 주입된다. 상기 게이트 또는 데이터 드라이브 회로(9)는 실패턴(7) 안쪽의 상판과 하판의 합착영역 내에 위치하며, 이는 게이트 라인 또는 데이터 라인들에 접속된다.

<56> 또한, 상기 다수의 패드부(6)들에 공통으로 접속되는 쇼팅바(12)를 구비하는데, 상기 쇼팅바(12)는 제조공정 중에 기저전압원(GND)에 접속되어 액정패널에 인가되는 정전기를 제거하는 역할을 하며, 상기 다수의 패드들에 대한 IPT(In Processing Test)검사를 위해 형성되는 것이다.

<57> 여기서, 본 발명에 의한 액정표시장치는 도 2b에 도시된 종래의 액정표시장치와 비교할 때 상기 패드부(6)의 소정 영역에 대해서 일정 간격으로 홀(hole)(20)이 형성되어 있다는 점에서 그 차이가 있다.

<58> 일반적으로 상기 쇼팅바(12)는 비표시영역에 해당하는 하판(1)의 가장자리 끝단부에 금속으로 형성되어 있으며, 이는 상기 IPT검사가 완료되면 제거되어야 한다.

<59> 종래의 액정표시장치의 제조방법에 있어서는 상기 쇼팅바를 제거하기 위해 스크라이빙 공정 및 그라인딩 공정을 거치며, 결국 하판의 가장자리 즉, 상기 쇼팅바와 연결된 패드부의 상단을 연삭시킴으로써 상기 쇼팅바를 최종적으로 제거한다.

<60> 그러나, 이 경우 앞서 살펴본 바와 같이 쇼팅바 및 패드부가 금속으로 이루어져 있으므로 이를 제거시 금속 파티클(particle)이 많이 발생하게 되어 상기 패드가 손상되며 또한, 상기 쇼팅바를 제거하기 위해 스크라이빙 공정과 그라인딩 공정을 거쳐야 하므로 공정이 복잡해지는 단점이 있다.

<61> 이에 본 발명에 있어서는 상기 쇼팅바(12)와 연결되는 상기 패드부(6)의 내부 상단부분에 일정 간격으로 홀(20, 20')을 형성시키고, 상기 홀(20, 20')이 형성된 위치 위로 스크라이빙 휠이 지나가게 하여 상기 쇼팅바(12)를 제거함으로써 상기와 같은 종래의 문제점을 극복하고 있다.

<62> 이를 좀 더 상세히 설명하면, 본 발명에 의하면 상기 쇼팅바(12)를 제거함에 있어서 그라인딩 공정을 거칠 필요 없이 스크라이빙 공정만으로 쇼팅바(12)가 원천적으로 제거되며, 또한 스크라이빙 휠을 통해 절단되는 부분에 홀(20)이 형성되어 있으므로, 종래에 비해 스크라이빙 시 발생되는 금속 파티클의 양이 감소되는 것이다.

<63> 또한, 상기 쇼팅바(12)와 연결되는 상기 패드부(6)의 내부 상단 부분에 일정 간격으로 홀을 형성시킴에 있어 상기 홀의 형태는 다양하게 존재할 수 있으며, 도 4a 및 도 4b는 상기 홀의 형태에 대한 각각의 실시예이다.

<64> 먼저 도 4a의 경우는 IPT검사를 할 때 상기 패드부(6)를 거쳐 제공되는 신호에 대한 저항을 고려하여 상기 쇼팅바(12)와 연결된 상기 패드부(6)의 최상단 부분에는 홀(20)을 형성시키지 않고, 상기 최상단 부분에서 약간 하측에 일정한 간격의 도 4b에 대해 상대적으로 넓은 면적의 홀(20)을 형성시킨다.

<65> 이는 상기 패드부의 최상단부터 홀을 형성하면서, 상기 홀의 면적을 크게하여 형성할 경우 상기 패드부를 거쳐 제공되는 신호에 대한 저항값이 커져 정상적인 IPT검사가 이루어 질 수 없기 때문이다.

<66> 반면에 도 4b의 경우는 상기 쇼팅바(12)와 연결된 상기 패드부(6)의 최상단 부분부터 홀(20')을 형성하는 대신 도 4a에 대해 상대적으로 적은 면적의 홀(20')을 형성시킴으로써 상기 패드부(6)를 거쳐 제공되는 신호에 대한 저항값이 커지는 것을 방지한다.

<67> 여기서, 도 4a의 경우는 스크라이빙 공정시 홀(20)의 면적이 크므로 금속 파티클이 적게 생성되는 장점이 있으며, 도 4b의 경우는 스크라이빙 공정시 스크라이빙 훨이 지나갈 수 있는 위치가 넓어져 그 만큼 불량율을 감소시키게 하는 장점이 있다.

<68> 도 5a, b는 본 발명에 의한 액정표시장치의 기판 상에 형성된 패드부 및 쇼팅바를 나타내는 평면도이다.

<69> 단, 도 5a, b는 아몰퍼스 실리콘 TFT 액정표시장치에서의 특정부분 즉, 종래 도 2a의 특정부분(C)에 해당하는 영역을 도시한 것이다.

<70> 이는 도 4a 및 도 4b와 그 구성이 유사하나, 패드부가 각각의 독립된 패드(11)들로 이루어지고, 상기 패드(11)에서 데이터 라인(15) 또는 게이트 라인(미도시)이 직접 인출 된다는 점에서 차이가 있다. 이에 따라 본 발명에 의한 아몰퍼스 실리콘 TFT 액정표시장

치는 도 4a, b에서와 같이 드라이브 회로가 기판 내에 형성되어 있지 않고, 도 4a, b에서의 패드부 상단부에 형성된 흘은 각각의 패드(11) 상단에 형성된다.

<71> 즉, 흘(20, 20') 형성 및 스크라이빙에 의한 쇼팅바(12)의 제거에 있어서 도 5a는 도 4a와 그 방식 및 형태가 동일하며, 도 5b는 도 4b와 그 방식 및 형태가 동일하다. 단, 도 4의 경우는 패드부(6) 전체에 대해 흘(20, 20')을 형성하는 것이나, 도 5의 경우는 패드부 내의 각각이 패드(11)에 대해 각각 흘(20, 20')을 형성하는 점에서 차이가 있을 뿐이다.

<72> 도 6a, b는 상기 도 4a에 도시된 패드부의 특정부분(A-A', B-B')에 대한 단면도이다. 단, 이는 도 5a에 도시된 각 패드의 특정부분(A-A', B-B')에 대한 단면과 동일한 것이며, 설명의 편의를 위해 도 4a를 참조하여 설명할 뿐이다.

<73> 도 6a를 참조하면, 상기 흘이 형성되지 않는 패드부의 단면은 금속박막패턴(3)과, 화소전극과 함께 패터닝된 투명 도전패턴(5)을 포함한다. 상기 금속박막패턴(3)은 무기 절연재료로 된 게이트 절연막(1a) 위에 형성되며, 박막트랜지스터의 소스/ 드레인전극 및 소스전극과 연결된 데이터 라인 및 링크 패턴과 함께 패터닝된다. 또한, 상기 투명 도전패턴(5)은 무기절연재료 또는 유기절연재료로 된 보호막층(8)에 형성된 콘택홀(미도시)을 통하여 금속박막패턴(3)과 접속된다.

<74> 이에 상기 흘이 형성된 패드부의 단면은 도 6b에 도시되어 있으며, 이것이 상기 도 6a와 구별되는 점은, 상기 투명 도전패턴(5)에 대해 일정간격으로 흘(20)이 형성되어 상기 흘(20)에 대해서는 금속인 투명 도전패턴(5)이 아닌 무기절연재료 또는 유기절연재료인 보호막층(8)이 바로 노출되어 있다는 점이다. 또한, 상기 콘택홀을 흘이 형성되지 않은 패드부의 특정부분에 형성되어 있는 것이므로 도 5b에는 나타나지 않는다.

<75> 이와 같은 도 6b에 도시된 투명 도전패턴이 형성되는 것은 상기 홀 영역에 대해 노광영역을 구비한 포토마스크를 이용하여 노광 및 현상공정을 거침으로써 이루어진다.

<76> 도 7a 내지 도 7c는 도 4a에 도시된 쇼팅바가 제거되는 상태을 나타내는 평면도이다.

<77> 단, 이는 도 4b 및 도 5a, b에 대해서도 동일하게 적용될 수 있음은 본 발명에 속한 기술분야에서 통상의 지식을 가진자에 대해 자명하다.

<78> 도 7a 내지 도 7c를 참조하여 본 발명에 의해 상기 쇼팅바(12)가 제거되는 것을 살펴보면, 먼저 도 7a에 도시된 바와 같이 상기 쇼팅바(12)와 연결되는 상기 패드부(6)의 내부 상단 부분에 일정 간격으로 홀(20)이 형성되어 있고, 상기 홀(20)이 형성된 위치 위로 스크라이빙 휠(16)이 지나가게끔 이를 위치 시킨다. 이 때 상기 스크라이빙 휠(16)은 상기 홀(20)의 형성된 부분, 즉 스크라이브 라인 마진(22) 내부를 통과하여야 한다.

<79> 이에 의해 상기 스크라이빙 휠(16)을 상기 홀(20)이 위치한 위로 스크라이빙하면 상기 쇼팅바(12)는 하판 상에서 제거된다. 이는 도 7b에 도시되어 있으며, 이로써 종래의 경우 상기 쇼팅바를 제거하기 위해 거쳐야 하는 그라인딩 공정을 없앨 수 있는 것이다.

<80> 이와 같이 스크라이빙 공정을 거침으로써 각각의 액정패널에 형성되어 있던 쇼팅바(12)가 완전히 제거되며, 이와 같이 쇼팅바(12)가 제거된 상태의 패드부(6)의 형태는 도 7c에 도시되어 있다.

**【발명의 효과】**

<81> 이상의 설명에서와 같이 본 발명에 따른 액정표시장치 및 그 제조방법에 의하면, 쇼팅바가 스크라이빙 공정에서 한번에 제거되므로 액정표시장치의 제조공정이 단순화되고, 이에 따라 클린 룸(clean room) 공간이 절약되는 장점이 있다.

<82> 또한, 패드부의 절단되는 부분에 대해 일정한 간격의 흄이 형성됨으로써 상기 스크라이빙 공정시 금속 파티클이 감소하며, 이에 따라 패드 손상이 최소화 되는 장점이 있다.

**【특허청구범위】****【청구항 1】**

게이트 라인과 데이터 라인의 교차부에 박막트랜지스터와 화소전극이 형성된 액정 표시장치에 있어서,

상기 다수의 게이트 라인 또는 데이터 라인에 각각 접속되는 패드와,

상기 패드에 연결되어 공정 진행시의 정전기 발생을 방지하는 쇼팅바와,

상기 쇼팅바와 연결되는 상기 패드의 내부 상단 부분에 일정 간격으로 홀이 형성된 것을 특징으로 하는 액정표시장치.

**【청구항 2】**

게이트 라인과 데이터 라인의 교차부에 박막트랜지스터와 화소전극이 형성된 액정 표시장치에 있어서,

상기 데이터 라인에 접속된 데이터 드라이브 회로 및 게이트 라인에 접속된 게이트 드라이브 회로와,

상기 게이트 드라이브 회로 또는 데이터 드라이브 회로에 링크 패턴을 경유하여 각각 접속되는 패드부와,

상기 패드부에 연결되어 공정 진행시의 정전기 발생을 방지하는 쇼팅바와,

상기 쇼팅바와 연결되는 상기 패드부의 내부 상단 부분에 일정 간격으로 홀이 형성된 것을 특징으로 하는 액정표시장치.

**【청구항 3】**

제 1항 또는 제 2항에 있어서,

상기 훌이 형성된 위치 위로 스크라이빙 훌이 지나가게 하여 상기 쇼팅바가 제거되는 것을 특징으로 하는 액정표시장치.

#### 【청구항 4】

박막트랜지스터의 어레이의 데이터 라인들 및 게이트 라인들에 각각 접속되는 다수의 패드와, 상기 다수의 패드가 연결된 쇼팅바가 포함된 하판 및 칼라필터와 블랙매트릭스가 포함된 상판이 형성되는 단계와,

상기 하판에 스페이서가 도포되고, 상기 상판 상에 표시영역에 실패턴이 형성되는 단계와,

상기 하판과 상판이 대면되도록 합착된 후, 상기 각각 패드의 내부 상단 부분에 일정 간격으로 훌이 형성되는 단계와,

상기 패드의 훌이 형성된 부분이 스크라이빙되어 상기 쇼팅바가 제거되고, 각각의 액정패널이 분리되는 단계와,

상기 각각의 액정패널에 액정층이 주입되는 단계가 포함되는 것을 특징으로 하는 액정표시장치의 제조방법.

#### 【청구항 5】

박막트랜지스터 어레이의 데이터 라인들에 접속된 데이터 드라이브 회로 및 게이트 라인들에 접속된 게이트 드라이브 회로와, 각각의 링크 패턴을 경유하여 상기 게이트 드라이브 회로 및 데이터 드라이브 회로에 접속된 패드부와, 상기 패드부에 연결된 쇼팅바가 포함된 하판 및 칼라필터와 블랙매트릭스가 포함된 상판이 형성되는 단계와,

상기 하판에 스페이서가 도포되고, 상기 상판 상에 표시영역에 실패턴이 형성되는 단계와,

상기 하판과 상판이 대면되도록 합착된 후, 상기 패드부의 내부 상단 부분에 일정 간격으로 홀이 형성되는 단계와,

상기 패드부의 홀이 형성된 부분이 스크라이빙되어 상기 쇼팅바가 제거되고, 각각의 액정패널이 분리되는 단계와,

상기 각각의 액정패널에 액정총이 주입되는 단계가 포함되는 것을 특징으로 하는 액정표시장치의 제조방법.

#### 【청구항 6】

제 4항 또는 제 5항에 있어서,

상기 스크라이빙에 의해 상기 쇼팅바가 제거되는 것은 상기 홀이 형성된 위치 위로 스크라이빙 훨이 지나감에 의해 이루어짐을 특징으로 하는 액정표시장치의 제조방법.

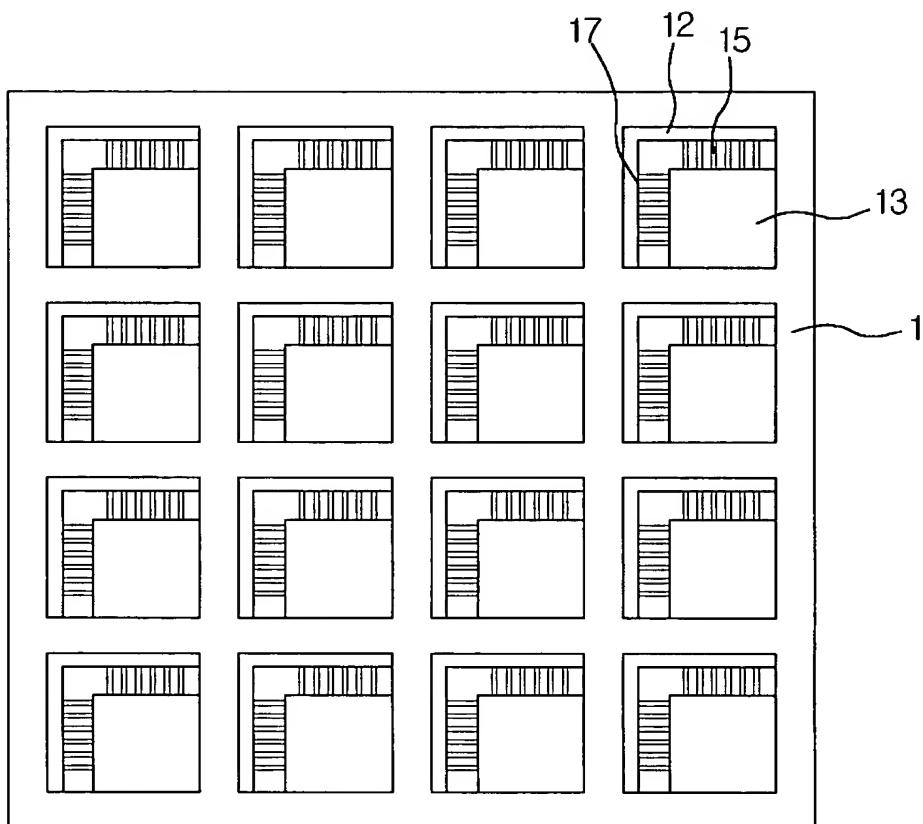


1020020066790

출력 일자: 2003/3/24

【도면】

【도 1】

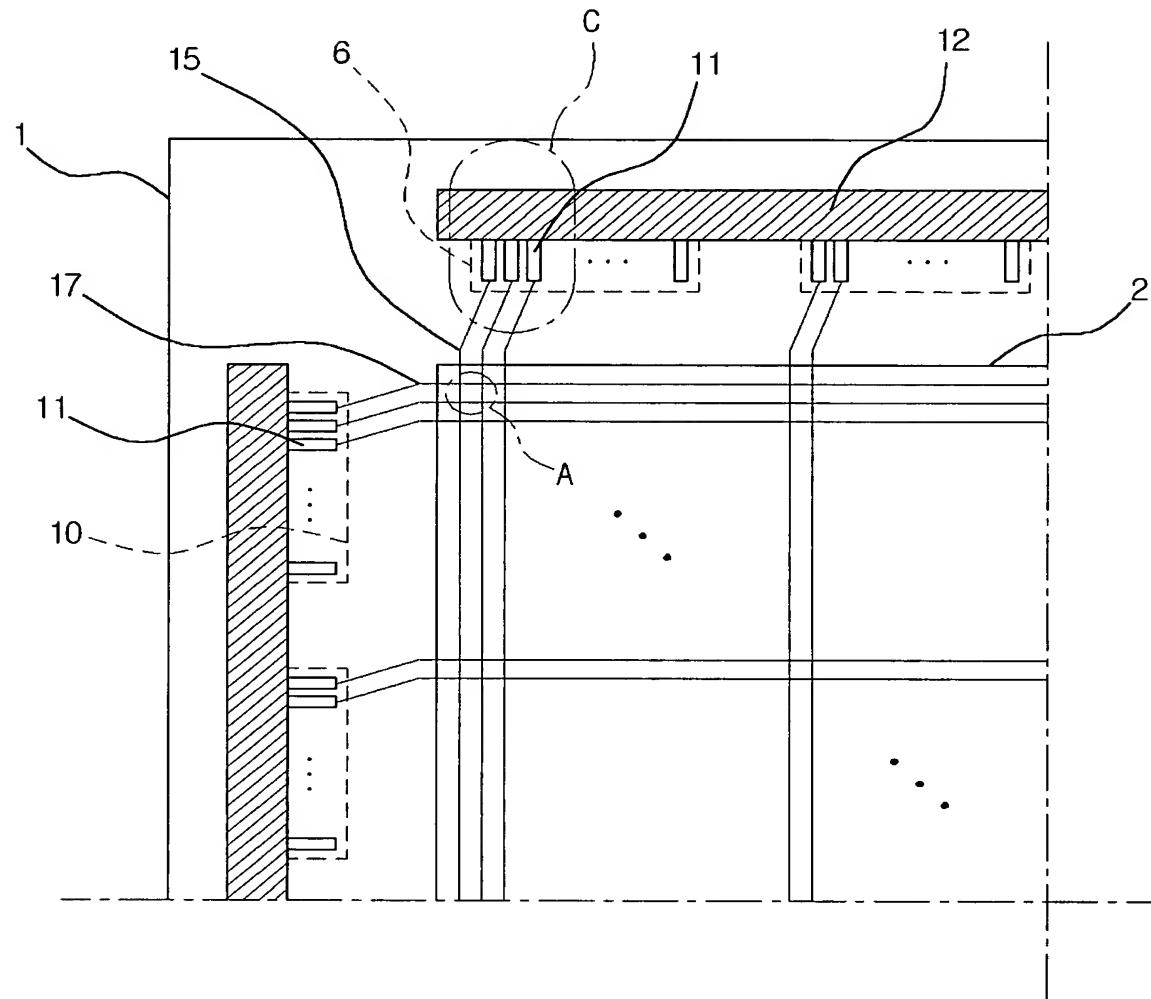




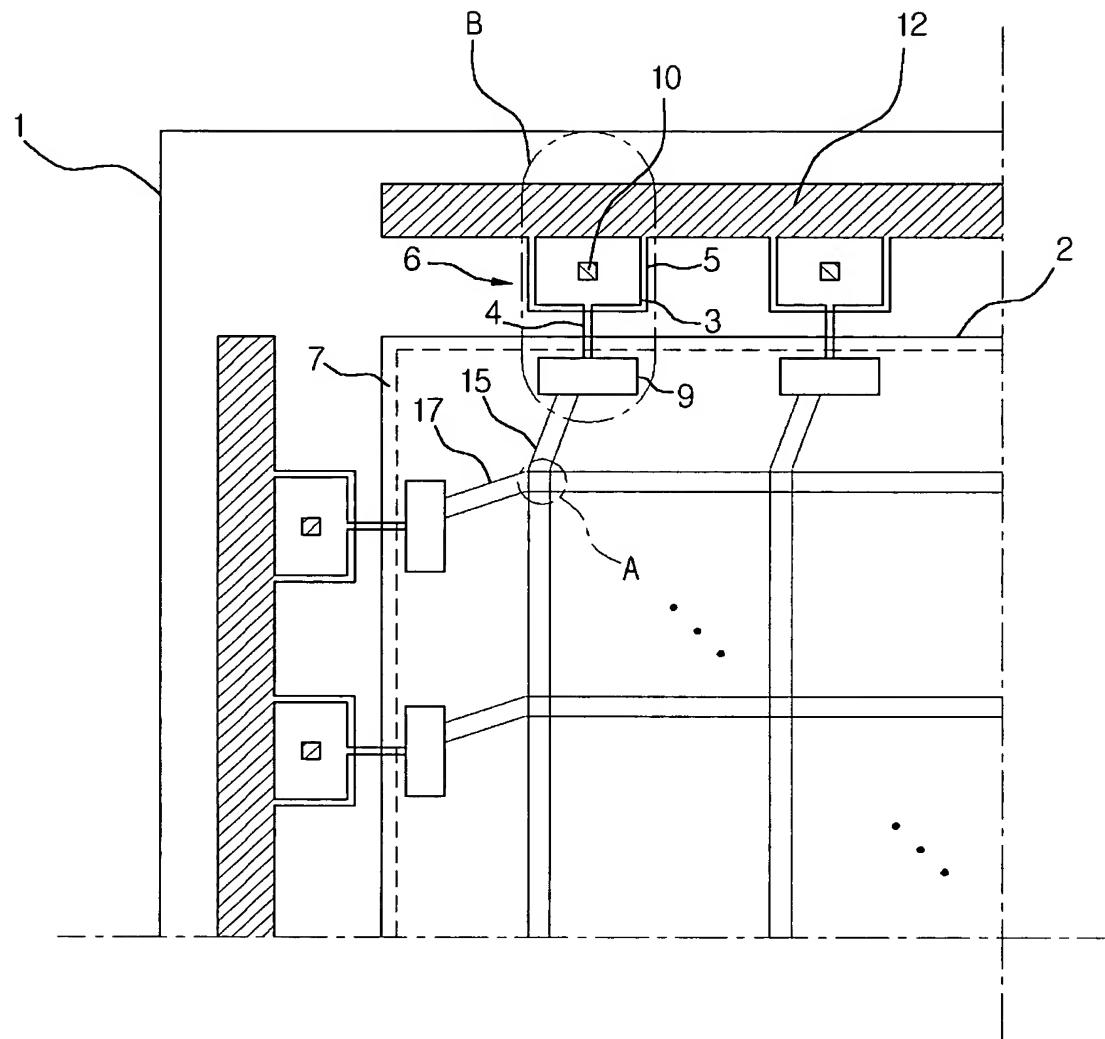
1020020066790

출력 일자: 2003/3/24

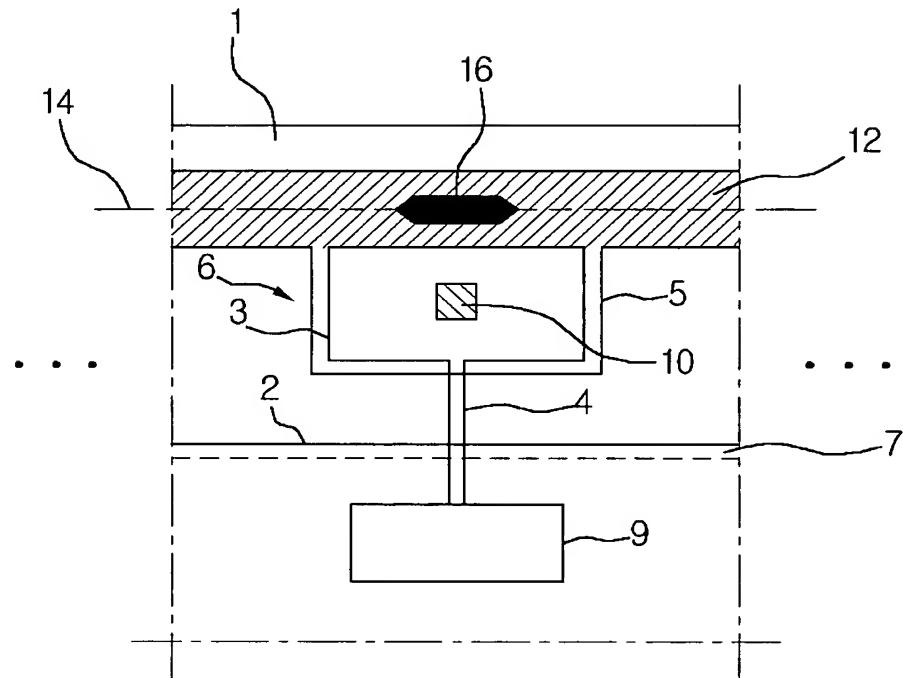
【도 2a】



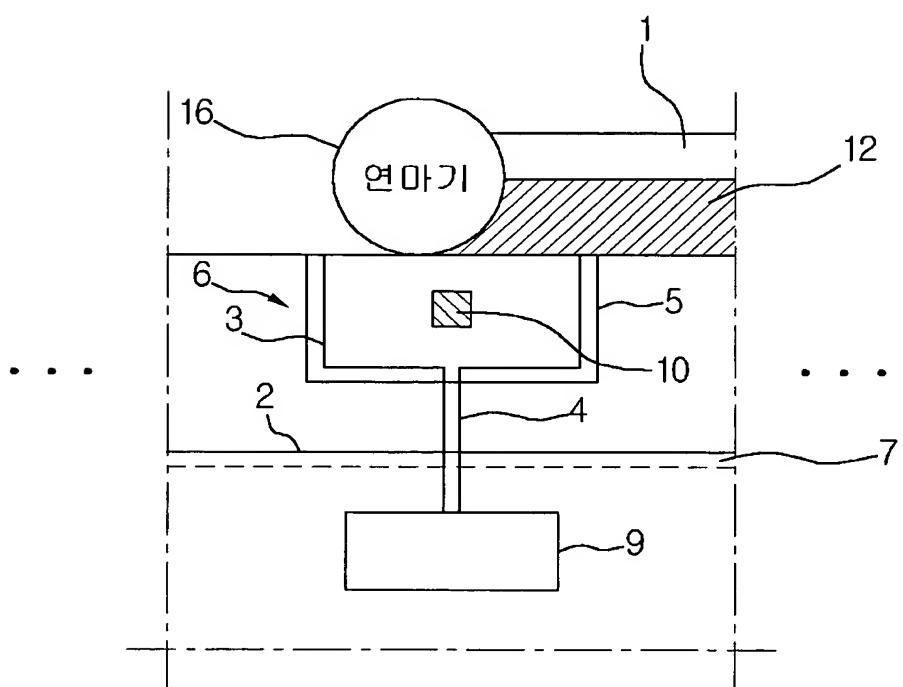
【도 2b】



【도 3a】



【도 3b】

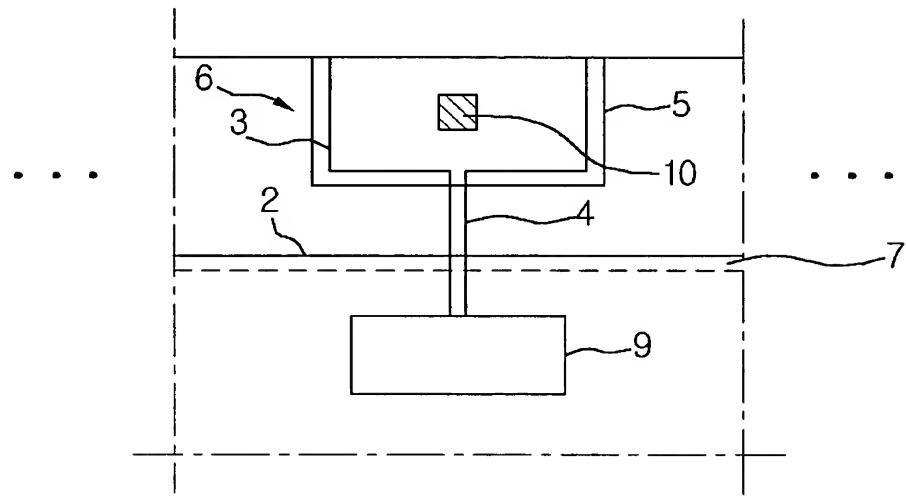




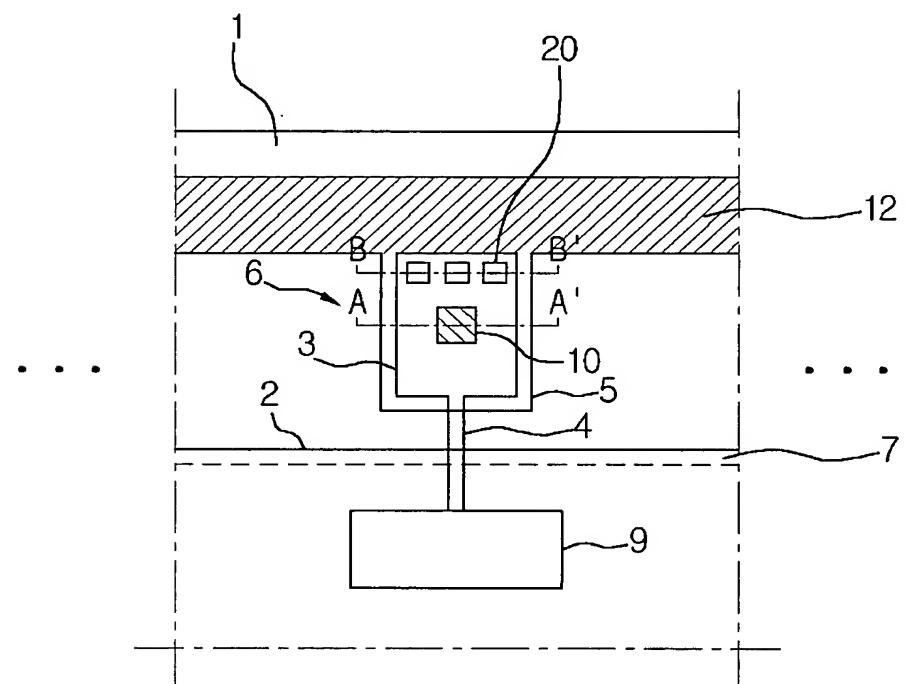
1020020066790

출력 일자: 2003/3/24

【도 3c】



【도 4a】

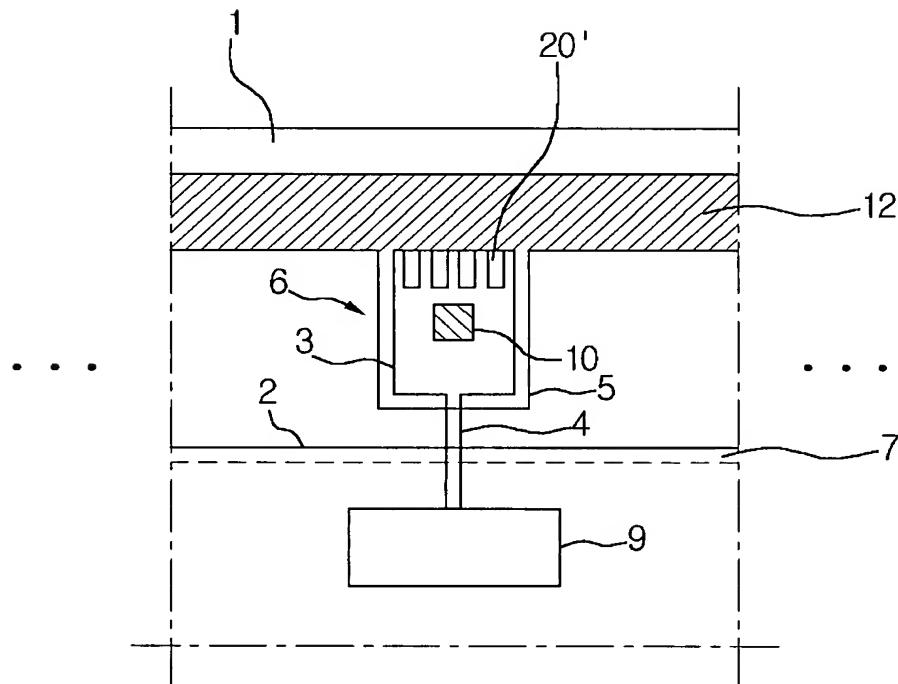




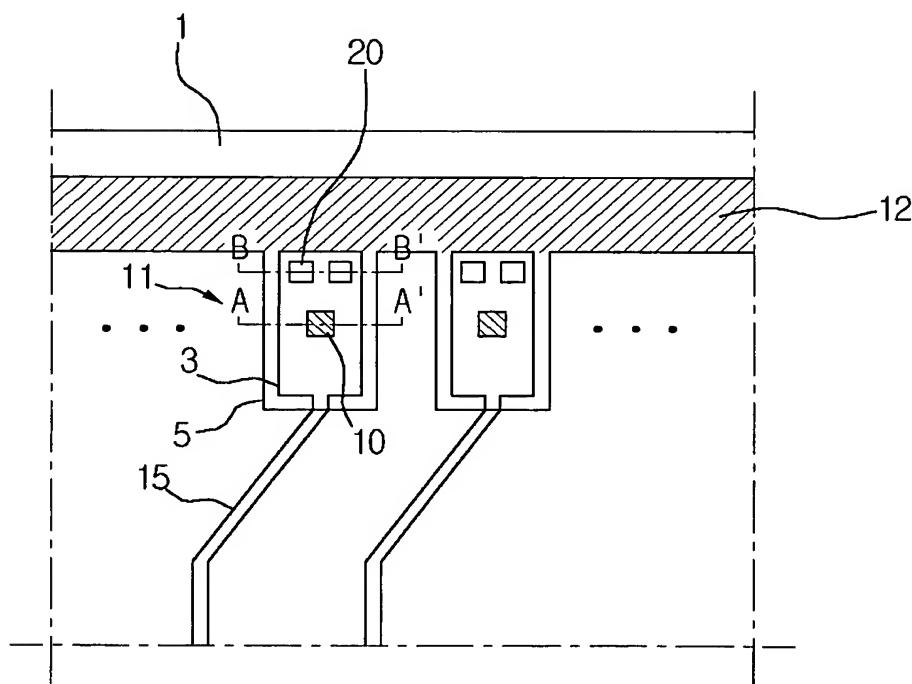
1020020066790

출력 일자: 2003/3/24

【도 4b】



【도 5a】

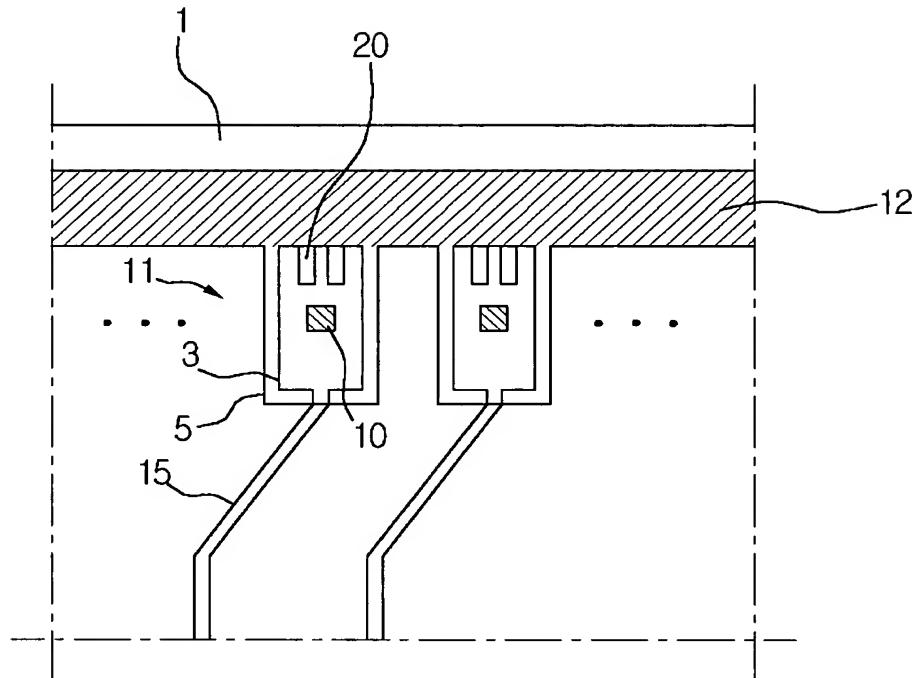




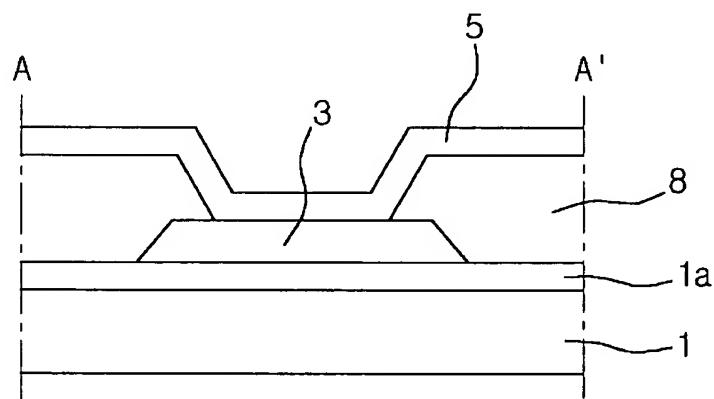
1020020066790

출력 일자: 2003/3/24

【도 5b】



【도 6a】

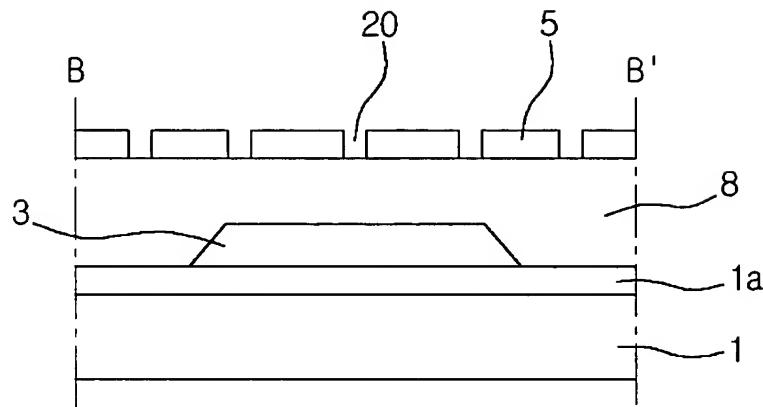




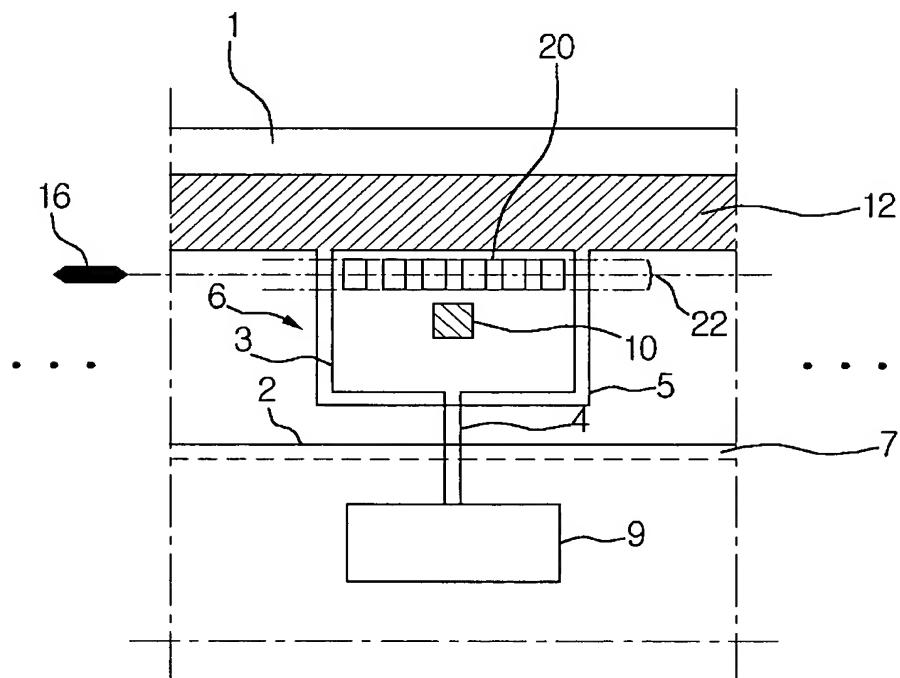
1020020066790

출력 일자: 2003/3/24

【도 6b】



【도 7a】

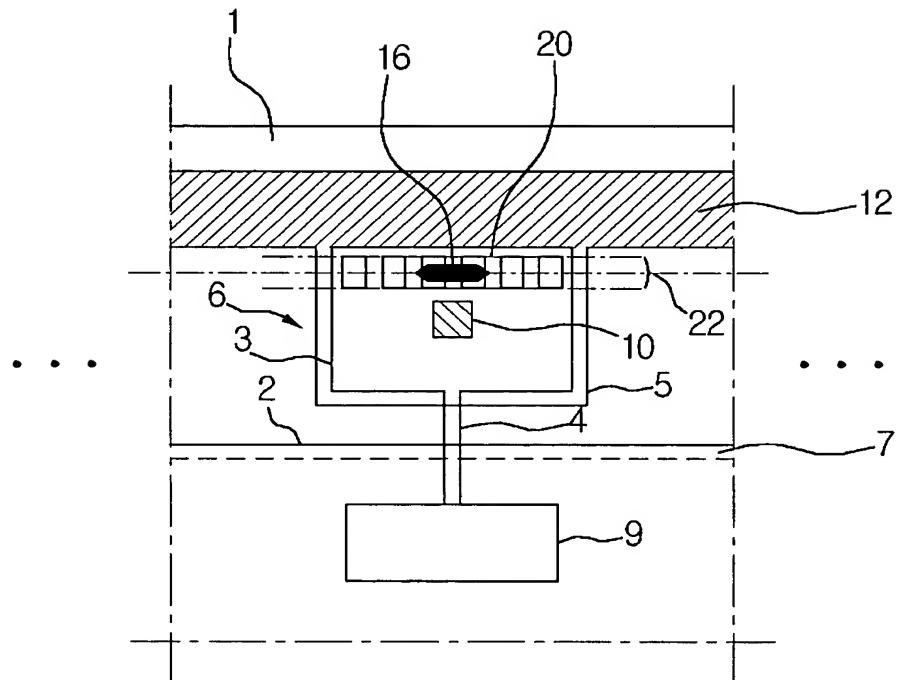




1020020066790

출력 일자: 2003/3/24

【도 7b】



【도 7c】

